

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 5 日 (05.08.2004)

PCT

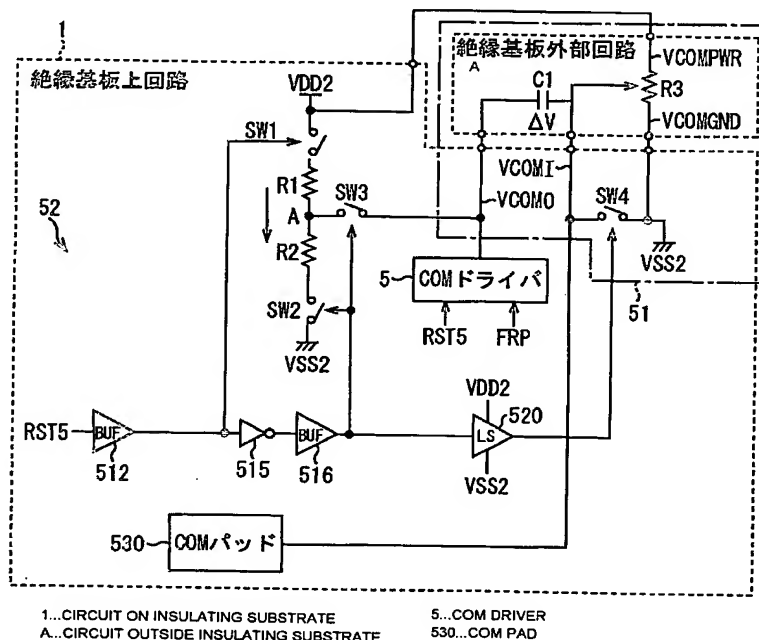
(10) 国際公開番号
WO 2004/066258 A1

- (51) 国際特許分類: G09G 3/36, 3/20, G02F 1/133
- (21) 国際出願番号: PCT/JP2003/016604
- (22) 国際出願日: 2003 年 12 月 24 日 (24.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-15808 2003 年 1 月 24 日 (24.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 豊澤昇 (TOYOZAWA, Noboru) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 仲島義晴 (NAKAJIMA, Yoshiharu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 小山浩寿 (KOYAMA, Hirotooshi) [JP/JP]; 〒108-0023 東京都港区芝浦4丁目16番25号 株式会社ベンチャーセーフネット内 Tokyo (JP).
- (74) 代理人: 中村友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, SG, US.
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: DISPLAY

(54) 発明の名称: 表示装置



(57) Abstract: A display comprises a panel in which a display area and a circuit part provided around the display area and adapted to drive the display area are fabricated integrally on an insulating base (1). The display area includes pixel electrodes arrayed in a matrix, common electrodes opposed to the pixel electrodes, and an electro-optical material held between the pixel electrodes and common electrodes. The circuit part includes a driver for writing a signal voltage on the pixel electrode side according to display data, a common driver (5) for applying a common voltage to the common electrode side, an offset circuit (51) having a coupling capacitor

[続葉有]

WO 2004/066258 A1



2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(C1) for generating a predetermined offset voltage V so as to control the level of the common voltage with respect to the signal voltage, and a start circuit (52) for precharging the coupling capacitor (C1) to the offset voltage V when the power supply is turned on and for discharging the coupling capacitor (C1) when the power supply is turned off. Thus the packaging is rationalized by installing a start circuit for the common driver in the display of system display structure.

(57) 要約: 表示装置は、表示領域とこれを駆動する周辺の回路部とを絶縁基板 1 上に一体的に集積形成したパネルからなる。表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含む。回路部は、表示データに応じて画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバ 5 と、信号電圧に対してコモン電圧のレベルを調節するため所定のオフセット電圧 ΔV を生成するカップリングコンデンサ C 1 を備えたオフセット回路 5 1 と、電源電圧の立ち上げ時カップリングコンデンサ C 1 をオフセット電圧 ΔV までプリチャージするとともに、電源電圧の立ち下げ時カップリングコンデンサ C 1 をディスチャージするスタート回路 5 2 とを含む。これにより、コモンドライバ用のスタート回路をシステムディスプレイ構成の表示装置内に搭載して実装を合理化することができる。

明 細 書

表示装置

5 技術分野

本発明は画素電極とこれに対向するコモン電極とを備えた表示装置に関する。より詳しくは、コモン電極に印加する交流コモン電圧を生成する回路周りの改良技術に関する。

10 背景技術

従来のアクティブマトリクス液晶パネルなどで代表されるフラット型の表示装置は、電子機器のディスプレイ部品として多用されている。アクティブマトリクス型の表示パネルは、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する
15 周辺の回路部とを絶縁基板上に一体的に集積形成したいわゆるシステムディスプレイ構成を取ることが一般化されている。この場合、表示領域はマトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された液晶などの電気光学物質とを含む。一方、表示領域を囲む周辺の回路部は、表示データに応じて画素電極側に信号電圧を書き
20 込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバとを含んでいる。係る構成を有する表示装置は特開 2 0 0 0 - 1 9 3 9 4 1 号公報に開示されている。

電気光学物質として液晶を用いた場合、通常液晶材料の劣化を防止する為交流駆動が採用されている。所定の周期毎に画素電極側に印加される信号電圧の極性を反転するとともに、これに合わせてコモン電圧も反
25 転する。従って、従来のコモンドライバは所定の周期でコモン電圧を反

転生成している。ところで液晶材料やこれを駆動する薄膜トランジスタなどのアクティブ素子は極性に関し非対称性を有している。従って、信号電圧とコモン電圧の中心電位を完全に一致させると、非対称性があらわとなり焼付けやフリッカなど画像劣化が目立つ様になる。そこで、従来の表示装置は、コモンドライバに加え、信号電圧に対してコモン電圧のレベルを調整する為所定のオフセット電圧を生成するカップリングコンデンサを備えたオフセット回路を取り付けている。液晶材料やアクティブ素子の極性に関する非対称性を相殺する様にオフセット電圧を設定することで、画像の焼付けやフリッカを防止できる。

表示装置の電源を投入する時には、オフセット回路に含まれるカップリングコンデンサを所定のオフセット電圧まで充電する必要がある。充電が完了すると、コモンドライバから出力されるコモン電圧に所定のオフセット電圧が加えられるので、正規の画像を表示できる。しかしながら、電源投入後カップリングコンデンサの充電完了までの過渡期では、コモン電圧のレベルが安定しない為、フリッカが見える場合がある。これを防ぐ為、従来から電源投入時、カップリングコンデンサを急速に充電する為のスタート回路が用いられている。このスタート回路は、電源遮断時カップリングコンデンサを放電する場合にも用いられる。

しかしながら、従来のコモンドライバ用スタート回路（急速充放電回路）は、システムディスプレイ構成を取る表示装置外の駆動システムで実現されていた。この場合、部品点数の増加や、表示装置外部の駆動システム規模が大きくなる問題がある。

発明の開示

上述した従来の技術の課題に鑑み、本発明はコモンドライバ用のスタート回路をシステムディスプレイ構成を取る表示装置内に搭載すること

を目的とする。係る目的を達成するために以下の手段を講じた。即ち、電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、前記回路部は、表示データに応じて該画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバと、信号電圧に対してコモン電圧のレベルを調節するため所定のオフセット電圧を生成するカップリングコンデンサを備えたオフセット回路と、電源電圧の立ち上げ時該オフセット回路のカップリングコンデンサをオフセット電圧までプリチャージするとともに、電源電圧の立ち下げ時該カップリングコンデンサをディスチャージするスタート回路とを含むことを特徴とする。具体的には、前記パネルは、該表示領域及びこれを駆動する周辺の該回路部とともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されており、前記コモンドライバ、オフセット回路及びスタート回路は、該カップリングコンデンサを除いて該共通の絶縁基板上に搭載されている。好ましくは、前記スタート回路は、電源電圧の立ち上げ時及び電源電圧の立ち下げ時のみ動作し、それ以外の時間は非動作状態になる。

また本発明は、通常消費電力状態と低消費電力状態の切り替えが可能な電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、前記パネルは、電子機器本体側の通常消費電力状態と低消費電力状態の切り替えに応じて動作モードと待機モードに

切り替え可能であり、動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、該表示領域を駆動して所望のディスプレイを行い、待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、該表示領域の駆動を停止するとともに、回路部を不活性化して

5 パネルの電力消費を抑制する待機制御手段を備えており、前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、前記回路部は、電子機器の本体側から送られる表示データに応じて該画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバ

10 と、信号電圧に対してコモン電圧のレベルを調節するため所定のオフセット電圧を生成するカップリングコンデンサを備えたオフセット回路と、待機モードから動作モードに復帰する際事前に該オフセット回路のカップリングコンデンサをオフセット電圧までプリチャージするとともに、動作モードから待機モードに移行した時該カップリングコンデンサをデ

15 イスチャージするスタート回路とを含むことを特徴とする。具体的には、前記パネルは、該表示領域及びこれを駆動する周辺の該回路部ともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されており、前記コモンドライバ、オフセット回路及びスタート回路は、該カップリングコンデンサを除いて該共通の絶縁基板上に搭載されてい

20 る。好ましくは前記スタート回路は、待機モードから動作モードに復帰する時及び動作モードから待機モードに移行する時のみ動作し、それ以外の時間は非動作状態になる。

本発明によれば、表示装置のコモン電極に印加するコモン電圧のオフセット用カップリングコンデンサを、電源投入時所望のオフセット電位

25 まで急速に充電させるシステムを、液晶表示装置内に搭載している。すなわち、システムディスプレイ構成の表示パネルは、表示領域及びこれ

を駆動する周辺の回路部ともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されている。この回路部に属するコモンドライバ、オフセット回路及びスタート回路は、カップリングコンデンサを除いて共通の絶縁基板上に薄膜トランジスタなどで集積形成されている。場合により、通常の動作モードと待機モードを切り換え可能なシステムディスプレイが使われる。この時には、待機モードから動作モードに復帰する際、同様にコモン電圧シフト用のカップリングコンデンサを急速充電する必要がある。この為のスタート回路も、表示装置に内蔵することができる。

10

図面の簡単な説明

図 1 は、本発明に係る表示装置の全体構成を示すブロック図である。

図 2 は、表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。

15 図 3 は、待機モードを備えた表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。

図 4 は、図 1 に示した表示装置に搭載されるスタート回路の実施例を示す回路図である。

20 図 5 は、図 4 に示したスタート回路のオンシーケンスを示すタイミングチャートである。

図 6 は、図 4 に示したスタート回路のオフシーケンスを示すタイミングチャートである。

図 7 は、待機モード対応のスタート回路の実施例を示す回路図である。

25 図 8 は、図 7 に示したスタート回路のオンシーケンスを示すタイミングチャートである。

図 9 は、図 7 に示したスタート回路のオフシーケンスを示すタイミン

グチャートである。

発明を実施するための最良の形態

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本
5 発明に係る表示装置の全体構成を示すブロック図である。図示する様に、
本表示装置0は、ガラスなどからなる絶縁基板1の上に集積形成されて
いる。絶縁基板1の中央には表示領域2が形成されており、これを囲む
様に周辺の回路部も一体的に形成されている。矩形の絶縁基板1の上辺
10 には接続端子が形成されており、フレキシブルプリントケーブル（FPC）11を介して、電子機器本体側（セット側）と接続する様になっている。
FPC11は複数の配線が平面的に配列した単層構造のフラット
ケーブルとなっている。

表示領域2は行状のゲートラインG1～Gmと列状の信号ラインS1
～Snが互いに交差配置したマトリクス構成となっている。各ゲートラ
15 インGと信号ラインSの交差部には画素が形成されている。本実施形態
では、各画素は液晶素子LC、補助容量CS及び薄膜トランジスタTFT
で構成されている。液晶素子LCは画素電極とこれに対向するコモン
電極（COM）と両者の間に保持された液晶（電気光学物質）とで構成
されている。TFTのゲート電極はゲートラインGに接続し、ソース電
20 極は信号ラインSに接続し、ドレイン電極は液晶素子LCの画素電極に
接続している。補助容量CSはTFTのドレイン電極と補助容量ライン
との間に接続されている。TFTはゲートラインGから供給される選択
パルスで導通し、信号ラインSから供給される信号電圧を対応する液晶
素子LCの画素電極に書き込む。補助容量CSは一フレームもしくは一
25 フィールドの間、信号電圧を保持しておく。

液晶素子LCは一般に交流駆動される。すなわち、信号ラインSを介

して液晶素子LCに書き込まれる信号電圧は周期的に極性が反転する。これに合わせて、液晶素子LCのコモン電極COMに印加するコモン電圧VCOMも周期的に極性反転する必要がある。ここで、液晶素子LCやこれをスイッチング駆動するTFTには、極性に関し非対称性がある。

- 5 この為、画素電極側とコモン電極側で中心レベルを合わせておくと、極性に関する非対称性が表われて、焼付きなど画質の劣化が生じる。この対策として、信号電圧に対しコモン電圧を所定電圧分だけオフセットし、極性に関する非対称性を打ち消すことが行われている。尚、補助容量CSも、液晶素子LCの交流駆動に合わせて、交流動作させる必要がある。
- 10 この為、各補助容量CSに共通接続された補助容量ラインに、同じく所定の周期で極性反転する電圧を印加する必要がある。

- 上述した表示領域2を囲む上下左右四辺に周辺の回路部が集積形成されている。本実施形態の場合、この周辺回路部は、垂直ドライバ3、水平ドライバ4、COMドライバ5、CSドライバ6、DC/DCコンバータ7、DC/DCコンバータ7a、レベルシフタ(L/S)を含むインターフェース8、タイミングジェネレータ9、アナログ電圧ジェネレータ10などを含んでいる。但し本発明はこの構成に限られるものではなく、表示装置(システムディスプレイ)0の仕様に応じて適宜必要な回路が追加される一方、不必要な回路は削除される。例えば、場合により信号電圧とは別に完全な白表示や完全な黒表示に使われる信号電圧レベルを生成するドライバなどが組み込まれることもある。
- 15
- 20

- 垂直ドライバ3は各ゲートラインG1～Gmに接続され、線順次で選択パルスを供給する。水平ドライバ4は上下一対形成されており、各信号ラインS1～Snの両端に接続して、両側から同時に所定の信号電圧を供給している。尚この信号電圧はFPC11を介してセット側から送られてくる表示データ(画像情報)に応じたものとなっている。
- 25

コモンドライバ（COMドライバ）5は、周期的に極性反転するコモン電圧VCOMを各液晶素子LCに共通するコモン電極に印加する。COMドライバ5にはオフセット回路やスタート回路（COMスタータ）が付属している。オフセット回路はコモンドライバ5で生成されるコモン電圧のオフセットレベルを調節する。スタート回路（COMスタータ）はパネルの起動時にオフセット回路を充電してコモン電圧VCOMの印加を速やかに立ち上げる。CSドライバ6は周期的に極性反転する電圧を、各補助容量CSに共通する補助容量ラインに印加する。

DC/DCコンバータ7は、電子機器本体からFPC11を介して供給される一次の電源電圧を、パネル（表示装置0）の仕様に応じた二次の電源電圧に変換する。特に、DC/DCコンバータ7は正側の電源電圧VDDの変換に用いられる。これに対し、DC/DCコンバータ7aは負側の電源電圧VSSの変換に用いられる。

L/Sを含むインターフェース8は、FPC11を介してセット側から供給されたクロック信号、同期信号、画像信号などの制御信号を受け入れる。レベルシフタL/Sは、セット側から送られてきた制御信号（外部制御信号）をレベルシフトして、表示装置内部の回路動作仕様に適合した制御信号（内部制御信号）を生成する。尚、本明細書では外部制御信号と内部制御信号を区別する必要がある場合、各制御信号の種類を表わす記号の後ろに外部制御信号の場合数字（3）を付し、内部制御信号の場合数字（5）を付することがある。タイミングジェネレータ9は、L/Sを含むインターフェース8から送られてきたクロック信号や同期信号を処理して、回路各部のタイミング制御に必要なクロック信号などを生成する。アナログ電圧ジェネレータ10は、あらかじめ階調に応じた複数のレベルのアナログ電圧を、水平ドライバ4に供給する。水平ドライバ4は、電子機器の本体側から送られる画像情報に応じて階調化さ

れたアナログの信号電圧を液晶素子LCに書き込む。

図2は、表示装置側に対するセット側の制御シーケンスを示すタイミングチャートであり、(A)はオンシーケンスを表わし、(B)はオフシーケンスを表わしている。図2は、待機モード(スタンバイモード)に関するシーケンス制御がない通常の場合を表わしている。ディスプレイ側に対してセット側からマスタクロックMCK、水平同期信号HSYNC、垂直同期信号VSYNC、表示データDATA、リセット信号RST、表示許可信号PCI、電源電圧VDDが所定のシーケンスに従って入力される。セット側からディスプレイ側を立ち上げるオンシーケンス(A)では、最初にVDDが立ち上がり次いでMCK、HSYNC、VSYNCがアクティブになる。時間 t_{on1} 経過後、リセット信号RSTがローからハイに切り換わり、ディスプレイの回路部が初期化される。その後時間 t_{on2} 経過後、DATAがローからアクティブに切り換わるとともに、表示許可信号PCIがローからハイに切り換わる。これにより、ディスプレイの表示領域に画像が映し出される。

セット側からディスプレイを立ち下げるオフシーケンス(B)では、まずDATAがアクティブからローに切り換わるとともに表示許可信号PCIがハイからローに切り換わる。時間 t_{off1} 経過後、リセット信号RSTがハイからローに切り換わり、ディスプレイの回路の内部状態をリセットする。時間 t_{off2} 経過後、MCK、HSYNC、VSYNCの供給を遮断し最後にVDDを立ち下げる。これにより、VDDは接地電位あるいは浮遊電位となる。

図3は、待機モード(スタンバイモード)を採用したオンシーケンス及びオフシーケンスを示すタイミングチャートである。理解を容易にする為、図2に示した通常のオンシーケンス及びオフシーケンスと対応する部分には対応する参照符号を用いてある。セット側は通常消費電力状

態と低消費電力状態の切り換えが可能である。これに合わせてディスプレイ側を動作モードと待機モード（スタンバイモード）に切り換え制御する必要があり、この為セット側はディスプレイ側に対してスタンバイ信号 S T B を入力している。

- 5 オンシーケンス（A）では、まずスタンバイ信号 S T B がローからハイに立ち上がり、ディスプレイは待機モードから動作モードに復帰する。S T B の立ち上がりに合わせて、MCK、HSYNC、VSYNC がアクティブになる。但し、VDD は S T B に関わらず常に供給されている。時間 t_{on1} 経過後 RST がローからハイに切り換わり、ディスプレイ
- 10 の回路状態が初期化される。時間 t_{on2} 経過後 DATA がアクティブになるとともに PCI がハイに切り換わり、画像が表示領域に映し出される。

- 15 オフシーケンス（B）ではまず DATA 及び PCI が非アクティブとなる。 t_{off1} 経過後 RST がハイからローになりディスプレイの内部回路がリセットされる。 t_{off2} 経過後 S T B がハイからローに切り換わるとともに、MCK、HSYNC、VSYNC が非アクティブになる。S T B がハイからローになることで、ディスプレイ側は動作モードから待機モードに移行する。一方 VDD は待機モードに移行したにも関わらず、常に電源電圧に維持されている。

- 20 この様にスタンバイモードを採用したシステムでは、VDD をアクティブとしたままディスプレイ側の駆動回路システムを S T B に応じて非アクティブとする。スタンバイモード制御に用いる信号 S T B は、図示の様にセット側から独立して入力される制御信号の場合もあるが、セット側から供給される他の外部信号を、ディスプレイ側で内部的に論理処
- 25 理して生成することもできる。オフシーケンスでは RST でディスプレイの内部回路を論理リセットしてから、S T B が立ち下がることになる。

その際、セット側から供給されるマスタクロックMCKや同期信号HSYNC、VSYNCなどはアクティブな状態から一定電位に固定される。図示の例ではローレベル（GNDレベル）に固定されているが、場合によってはVDDレベルに固定してもよい。

- 5 スタンバイ信号STBの立ち下げに応じて待機モードに移行した表示装置は、電子機器の本体側から電源電圧VDDの供給を受けている状態のまま、表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えている。この待機制御手段は回路部の各ブロックに分散配置されており、各回路ブロック毎にSTBの立ち下げに
10 STBの立ち下げに

- 図4は、図1に示したCOMドライバ5に付随するオフセット回路やスタート回路の具体的な構成例を示す回路図である。本実施例はスタンバイモードに対応していない通常のスタート回路を用いている。図示する様に、コモンドライバ（COMドライバ）5を中心としてオフセット回路51及びスタート回路52がレイアウトされている。COMドライバ5は所定の周期信号FRPに応じて極性が反転するコモン電圧VCOMを、出力ノードVCOMOに送り出す。本実施例では、周期信号FRPはフレーム周期を規定する信号となっている。又COMドライバ5は内部リセット信号RST5により論理リセットが掛かる様になっている。
- 15 回路51及びスタート回路52がレイアウトされている。COMドライバ5は所定の周期信号FRPに応じて極性が反転するコモン電圧VCOMを、出力ノードVCOMOに送り出す。本実施例では、周期信号FRPはフレーム周期を規定する信号となっている。又COMドライバ5は内部リセット信号RST5により論理リセットが掛かる様になっている。
- 20 オフセット回路51は信号電圧に対してコモン電圧のレベルを調節する為所定のオフセット電圧 ΔV を生成するカップリングコンデンサC1を備えている。このカップリングコンデンサC1は外付け部品であり、パネルが組み込まれる絶縁基板1とは別の基板に搭載されている。オフセット回路51はその他に可変抵抗R3と薄膜トランジスタで構成されるスイッチSW4を含んでいる。可変抵抗R3は外付け部品である。スイッチSW4は絶縁基板1上の回路に含まれる。カップリングコンデン
- 25 スイッチSW4は絶縁基板1上の回路に含まれる。カップリングコンデン

サ C 1 のノード V C O M I に現われるオフセット済みのコモン電圧 V C O M は、絶縁基板 1 上に形成された配線を介してコモン電極パッド (C O M パッド) 5 3 0 に供給される。

スタート回路 5 2 は、電源電圧の立ち上げ時オフセット回路 5 1 のカップリングコンデンサ C 1 をオフセット電圧 ΔV までプリチャージするとともに、電源電圧の立ち下げ時カップリングコンデンサ C 1 をディスチャージする。このスタート回路 5 2 は絶縁基板 1 上に集積形成された内蔵回路であり、内部リセット信号 R S T 5 が入力されるバッファ (B U F) 5 1 2、インバータ 5 1 5、バッファ 5 1 6、レベルシフタ 5 2 0 などを含んでいる。更に正側の電源電圧 V D D 2 と負側の電源電圧 V S S 2 との間に直列接続された抵抗 R 1, R 2 を含んでいる。抵抗 R 1 と R 2 の間の中間ノード A はノード V C O M O とスイッチ S W 3 を介して接続している。この他抵抗 R 1 の上端側にはスイッチ S W 1 が介在し、抵抗 R 2 の下端側にもスイッチ S W 2 が介在している。以上の構成から明らかな様に、C O M ドライバ 5、オフセット回路 5 1 及びスタート回路 5 2 のほとんど全ての部分が絶縁基板 1 上に集積形成されており、カップリングコンデンサ C 1 及び可変抵抗 R 3 のみが外付けとなっている。

引続き図 4 を参照して、電源投入時におけるスタート回路 5 2 のオンシーケンスを説明する。第一段階で表示装置の電源電圧 V D D 2 が立ち上がる。これによりスイッチ S W 1, S W 2, S W 3 及び S W 4 が導通状態となる。直列抵抗 R 1, R 2 によって、V D D 2 が抵抗分割され、ノード A が中間電位 ΔV となる。スイッチ S W 3, S W 4 も導通状態となっているので、ノード V C O M O もノード A と同電位となり、カップリングコンデンサ C 1 が充電される。直列抵抗 R 1, R 2 の比は、ノード A とノード V C O M O の電位差が ΔV となる様に設定されている。

第二段階として表示装置内の駆動回路用リセット信号 R S T 5 が立ち

上がる。これにより表示装置内のCOMドライバ5がアクティブとなり、交流のコモン電圧を出力する。この時リセット信号RST5に応答してスイッチSW1, SW2, SW3及びSW4が非導通状態となる。カップリングコンデンサC1には第一段階で十分に電荷が充電されている為、

5 COMドライバ5の出力がカップリングされ、 ΔV だけDCシフトされた電位がノードVCOMIに出力される。可変抵抗R3は、ノードVCOMIの電位が ΔV シフトする様に設定されている。この後第三段階として表示開始信号PCIが立ち上がり、表示領域に画像が映し出される。

次にスタート回路52のオフシーケンスを説明する。第一段階で表示

10 命令PCIが立ち下がり、表示領域の画面が非表示となる。続いて第二段階で、表示装置内の駆動回路用リセット信号RST5が立ち下がる。これによりスイッチSW1, SW2, SW3及びSW4が導通状態となる。スイッチSW1はPMOSTFTで構成され、SW2, SW3及びSW4はNMOSTFTで構成されている。一方表示装置内のCOMドライバ5が非アクティブとなる。直列抵抗R1, R2によって、電源電位VDD2が抵抗分割され、ノードAにおいては中間電位 ΔV となる。SW4も導通状態となっているので、ノードVCOMIはGNDレベルとなる。これにより、カップリングコンデンサC1はディスチャージされる。この後第三段階として電源電圧VDD2が立ち下がる。

20 図5は、上述したオンシーケンスのタイミングチャートである。一点鎖線より上の部分はセット側からパネル側に入力される表示データDATA、リセット信号RST3、表示開始信号PCI、電源電圧VDDの状態変化を表わしている。一点鎖線より下の部分は、パネル内で生じる電源ライン、ノード、内部信号などの状態変化を表わしている。図示する様に、タイミングT1でセット側から電源電圧VDDが供給され、

25 タイミングT3で初期化の為のリセット信号3が入力され、タイミングT

5 で表示データ DATA 及び表示開始信号 PCI が入力される。一方パネル内部では、タイミング T1 で正側の電源電圧 VDD2 及び負側の電源電圧 VSS2 がセットされる。これにより、スタート回路は動作を開始し、カップリングコンデンサの充電が始まる。充電に応じてノード VCOMO の電位が上昇する。タイミング T3 でノード VCOMO が所定のオフセット電位 ΔV まで上昇する。これに合わせて周期信号 FRP がアクティブになるとともに、信号電位が黒レベルに設定される。更にタイミング T5 で信号電位 SIG が黒レベルからアクティブとなり、表示 (Display) が有効になる。

10 図 6 は、上述したオフシーケンスのタイミングチャートである。セット側からはタイミング T1 で表示データ DATA 及び表示命令 PCI がローレベルに落ちる。更にタイミング T3 でリセット信号 RST3 がローレベルに落ち、この後タイミング T5 で電源電圧 VDD がローレベルに落ちる。これに合わせパネル内部では、タイミング T1 で信号電圧 SIG がアクティブから黒レベルに変化するとともに、表示状態が有効から黒表示に切り換わる。更にタイミング T3 で内部リセット信号 RST5 が立ち下がり、カップリングコンデンサの放電が開始する。これにより、ノード VCOMO の電位が徐々に低下し、タイミング T5 でローレベルに至る。これに合わせ、電源電圧 VDD2 及び VSS2 が遮断される。

20 図 7 は、待機モードを備えたスタート回路 52 の実施例を示す回路図である。理解を容易にする為、図 4 に示した先のスタート回路と対応する部分には対応する参照番号を付してある。待機モードを備えたシステムディスプレイでは、動作モードから待機モードに移行した場合でも電源 VDD は遮断されない。そこで電源 VDD の代用としてスタンバイ信号 STB により、スタート回路 52 を制御している。

図4に示した先の実施例と同様に、コモンドライバ5はコモン電極にコモン電圧 V_{COM} を印加する。オフセット回路51は、信号電圧に対してコモン電圧のレベルを相対的に調節する為所定のオフセット電圧 ΔV を生成するカップリングコンデンサC1を備えている。スタート回路52は電源電圧 V_{DD2} の立ち上げ時、オフセット回路51のカップリングコンデンサC1をオフセット電圧 ΔV までプリチャージするとともに、電源電圧 V_{DD2} の立ち下げ時カップリングコンデンサC1をディスチャージする。図示する様にCOMドライバ5、オフセット回路51及びスタート回路52は、カップリングコンデンサC1及び可変抵抗R3を除いて共通の絶縁基板1上に搭載されている。

オフセット回路51は前述したカップリングコンデンサC1の他にトランジスタスイッチSW4と電圧レベル調整用の可変抵抗R3を含んでいる。抵抗R3はカップリングコンデンサC1と同様に外付け部品である。トランジスタスイッチSW4は絶縁基板1に形成されている。絶縁基板1外のカップリングコンデンサC1から入力されたオフセット処理済みのコモン電圧 V_{COMI} は、システムディスプレイ内部のコモン電極につながるCOMパッド530に内部配線で接続されている。

スタート回路52は、スタンバイ信号STBが入力されるレベルシフタ511、内部リセット信号RST5が入力されるインバータ512、外部リセット信号RST3が入力されるインバータ513、ナンド素子NAND514、インバータ515、バッファ(BUF)516、バッファ517、レベルシフタ520などの論理回路を含んでいる。更に薄膜トランジスタで構成されるスイッチSW1, SW2, SW3, SW5を含んでいる。加えて正側の電源電圧 V_{DD2} と負側の電源電圧 V_{SS2} との間に直列接続された一対の抵抗R1, R2を含んでいる。抵抗R1とR2の接続ポイントをノードAで表わしてある。

引続き図 7 を参照して、スタート回路 5 2 のオンシーケンス及びオフシーケンスを説明する。まず待機モードから動作モードに復帰するオンシーケンスでは、第一段階として S T B 信号がローからハイに立ち上がる。これによりスイッチ S W 1, S W 2, S W 3, S W 4 が導通状態となる。直列抵抗 R 1, R 2 によって、電源電位 V D D 2 が抵抗分割され、ノード A においては所望の中間電位となる。この中間電位は必要とされるオフセット電位 ΔV に等しい。S W 3 及び S W 4 が導通状態となっているので、ノード V C O M O もノード A と同電位になり、カップリングコンデンサ C 1 がプリチャージされる。直列抵抗 R 1, R 2 の比は、ノード A とノード V C O M O の電位差が ΔV となる様に設定されている。この後第二段階としてリセット信号 R S T 3, R S T 5 が立ち上がり、COM ドライバ 5 がアクティブとなる。同時に、スイッチ S W 1, S W 2, S W 3, S W 4 が非導通状態となる。一方スイッチ S W 5 が導通状態となり、ノード V C O M P W R が V D D 2 となり、可変抵抗 R 3 に電流が流れる。カップリングコンデンサ C 1 には最初の第一段階で十分に電荷が充電されている為、COM ドライバ 5 の出力がカップリングされ、 ΔV だけ D C シフトされた電位がノード V C O M I に出力される。可変抵抗 R 3 は、V C O M I の電位がちょうど ΔV だけシフトする様に設定されている。この後第三段階として表示開始信号が立ち上がり、画像が表示エリアに映し出される。

次に動作モードから待機モードに移行するオフシーケンスを説明する。最初に第一段階としてセット側からの表示命令 P C I が立ち下がり、表示領域から画像が消される。続いて第二段階としてリセット信号 R S T 3, R S T 5 が立ち下がる。これによりスイッチ S W 1, S W 2, S W 3, S W 4 が導通状態となる。逆に S W 5 が非導通状態になる。これにより外付けの可変抵抗 R 3 には電流が流れなくなり、所望の節電効果が

得られる。同時に絶縁基板 1 内の COM ドライバ 5 が非アクティブとなる為、節電効果が得られる。スイッチ SW 1, SW 2 が導通することで、直列抵抗 R 1, R 2 により、電源電位 VDD 2 がノード A において所望の中間電位になる。この時 SW 4 も導通状態になっているので、ノード VCOMI は GND レベルとなる。これにより、カップリングコンデンサ C 1 がディスチャージされる。最後に第三段階として STB 信号が立ち下がり、スイッチ SW 1, SW 2, SW 3, SW 4 が非導通状態となる。これにより直列抵抗 R 1, R 2 が正側電源ライン VDD 2 及び負側電源ライン VSS 2 から切り離され、不要な電流が流れなくなる。従って所望の節電効果が得られる。

図 8 は、待機モードを備えたスタート回路におけるオンシーケンスを示すタイミングチャートである。オンシーケンスで待機モードから動作モードに復帰する時、セット側からはスタンバイ信号 STB がタイミング T 1 で立ち上がる。一方電源電圧 VDD は当初からハイレベルに維持されている。タイミング T 3 でリセット信号 RST が立ち上がり、タイミング T 5 で表示データ DATA 及び表示開始信号 PCI がアクティブになる。これと対応する様にパネル内部では、タイミング T 1 で内部電源電圧 VDD 2 及び VSS 2 が有効化される。更にスタンバイ信号 STB に応じてカップリングコンデンサの充電が始まり、ノード VCOMO の電位が所定のオフセット電位まで上昇を始める。タイミング T 3 で所定のオフセット電位に到達した時、内部リセット信号 RST 5 が立ち上がり、コモンドライバがアクティブになる。更にタイミング T 5 で信号電位 SIG がアクティブになるとともに表示が有効化される。

図 9 は待機モードを備えたスタート回路のオフシーケンスを表わしている。動作モードから待機モードに移行する時、このオフシーケンスが実行される。電源遮断時のオフシーケンスと異なり、VDD が維持され

る一方、スタンバイ信号 S T B がハイレベルからローレベルにタイミング T 5 で立ち下がる。その前にタイミング T 3 でリセット信号 R S T が立ち下がる。これに応じてパネル内部ではカップリングコンデンサの放電を開始しノード V C O M O の電位がローレベルに向かって低下する。

5

産業上の利用可能性

以上説明した様に、本発明では、電源投入時にカップリングコンデンサを急速に充電させるスタート回路を設けたことで、画像のフリッカなどを抑制でき、高画質化が実現できる。特に、電源投入時にコモン電圧 D C シフト用のカップリングコンデンサを急速充電するスタート回路を絶縁基板上に内蔵させることで、セットの小型化及び低コスト化が実現できる。又、待機モードを備えたディスプレイシステムにおいてもスタンバイ信号の切り換わりに応じてコモン電圧 D C シフト用のカップリングコンデンサを速やかに充放電するスタート回路を設けることで、フリッカの発生などを軽減できる。又、この様なスタート回路を絶縁基板上に搭載することで、低消費電力モードを具備したセットの小型化及び低コスト化が実現できる。

10

15

請求の範囲

1. 電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、

前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、

- 前記回路部は、表示データに応じて該画素電極側に信号電圧を書き込むドライバと、

コモン電極側にコモン電圧を印加するコモンドライバと、

信号電圧に対してコモン電圧のレベルを調節するため所定のオフセット電圧を生成するカップリングコンデンサを備えたオフセット回路と、

- 電源電圧の立ち上げ時該オフセット回路のカップリングコンデンサをオフセット電圧までプリチャージするとともに、電源電圧の立ち下げ時該カップリングコンデンサをディスチャージするスタート回路とを含むことを特徴とするとする表示装置。

2. 前記パネルは、該表示領域及びこれを駆動する周辺の該回路部ともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されており、

前記コモンドライバ、オフセット回路及びスタート回路は、該カップリングコンデンサを除いて該共通の絶縁基板上に搭載されていることを特徴とする請求項1記載の表示装置。

3. 前記スタート回路は、電源電圧の立ち上げ時及び電源電圧の立ち下

げ時のみ動作し、それ以外の時間は非動作状態になることを特徴とする請求項1記載の表示装置。

4. 通常消費電力状態と低消費電力状態の切り替えが可能な電子機器
5 のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、

前記パネルは、電子機器本体側の通常消費電力状態と低消費電力状態
10 の切り替えに応じて動作モードと待機モードに切り替え可能であり、

動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、
該表示領域を駆動して所望のディスプレイを行い、

待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、
15 該表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えており、

前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と
両者の間に保持された電気光学物質とを含み、

前記回路部は、電子機器の本体側から送られる表示データに応じて該画素電極側に
信号電圧を書き込むドライバと、

20 コモン電極側にコモン電圧を印加するコモンドライバと、

信号電圧に対してコモン電圧のレベルを調節するため所定のオフセット電圧を生成する
カップリングコンデンサを備えたオフセット回路と、

待機モードから動作モードに復帰する際事前に該オフセット回路のカップリング
コンデンサをオフセット電圧までプリチャージするとともに、
25 動作モードから待機モードに移行した時該カップリングコンデンサをディスチャージする
スタート回路とを含むことを特徴とする表示装

置。

5. 前記パネルは、該表示領域及びこれを駆動する周辺の該回路部ともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで

5 構成されており、

前記コモンドライバ、オフセット回路及びスタート回路は、該カップリングコンデンサを除いて該共通の絶縁基板上に搭載されていることを特徴とする請求項 4 記載の表示装置。

10 6. 前記スタート回路は、待機モードから動作モードに復帰する時及び動作モードから待機モードに移行する時のみ動作し、それ以外の時間は非動作状態になることを特徴とする請求項 4 記載の表示装置。

1/9

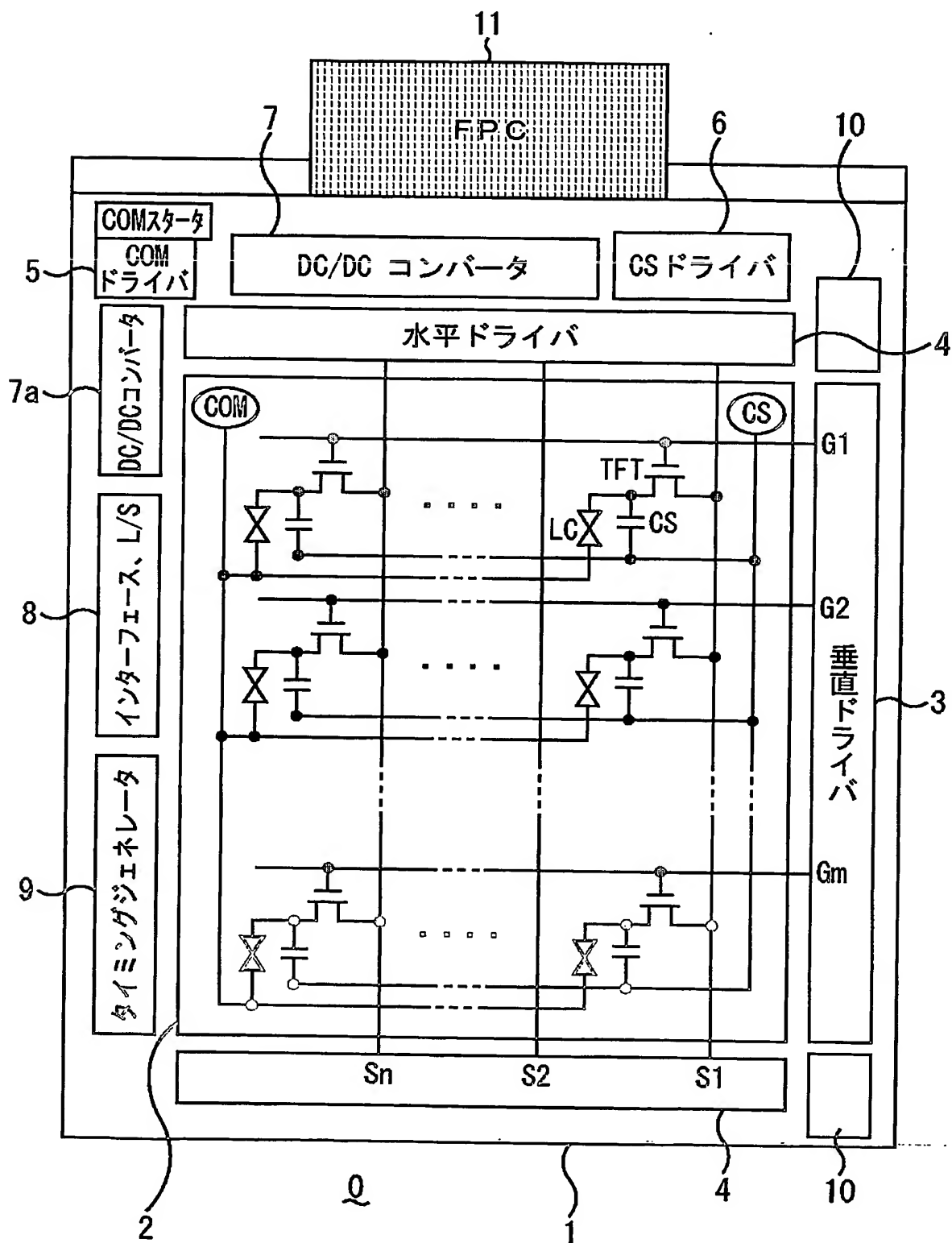
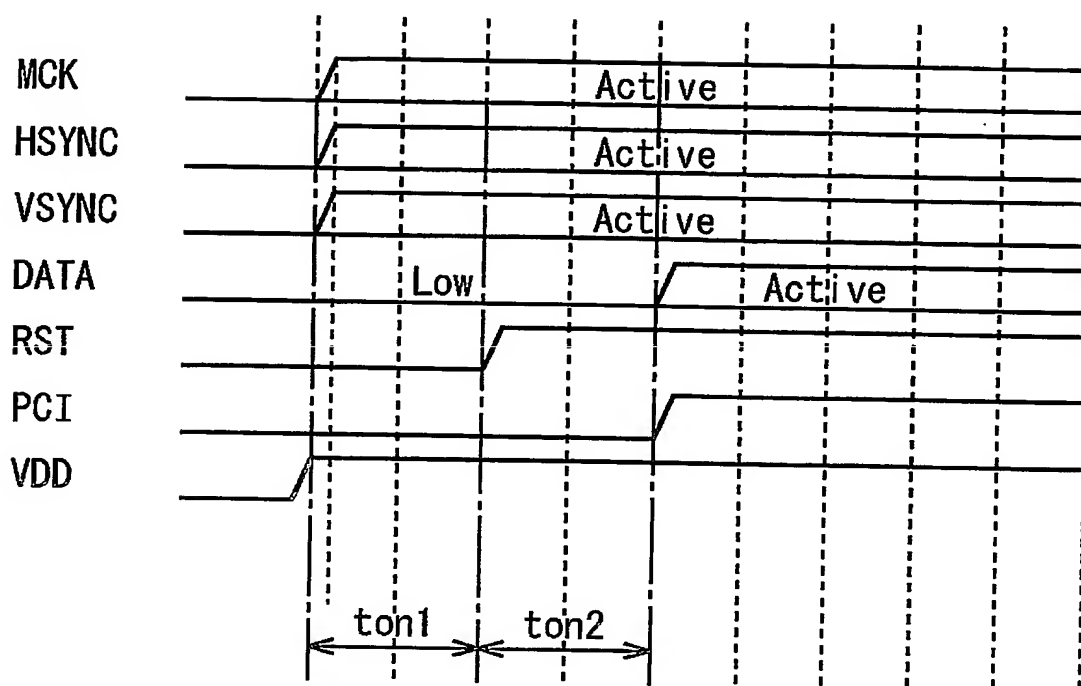
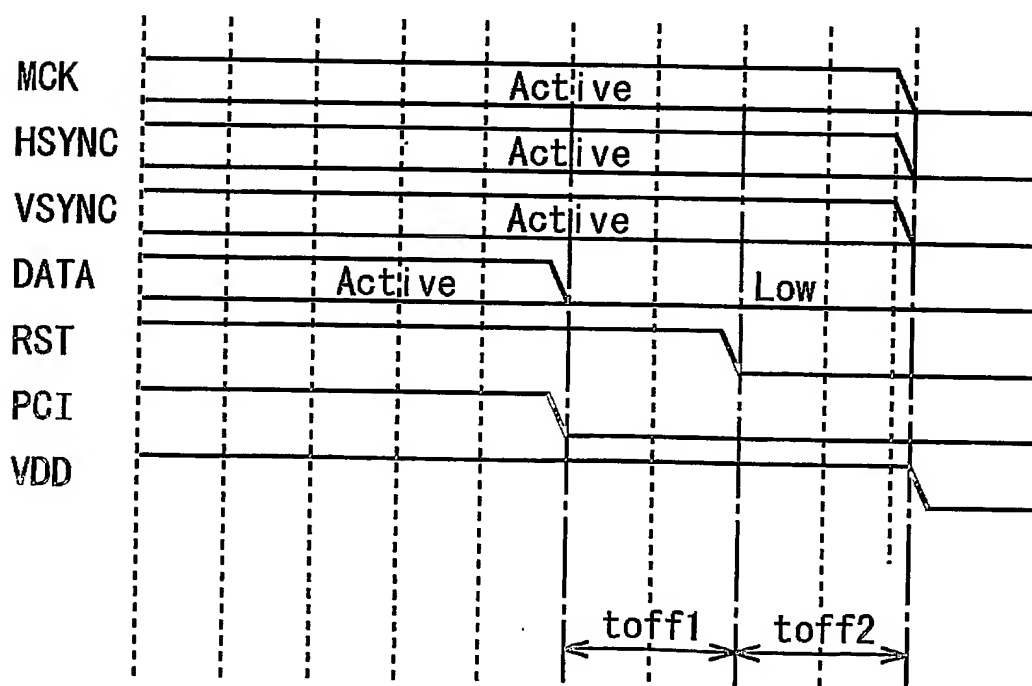


Fig.1

2/9



(A)



(B)

Fig.2

3/9

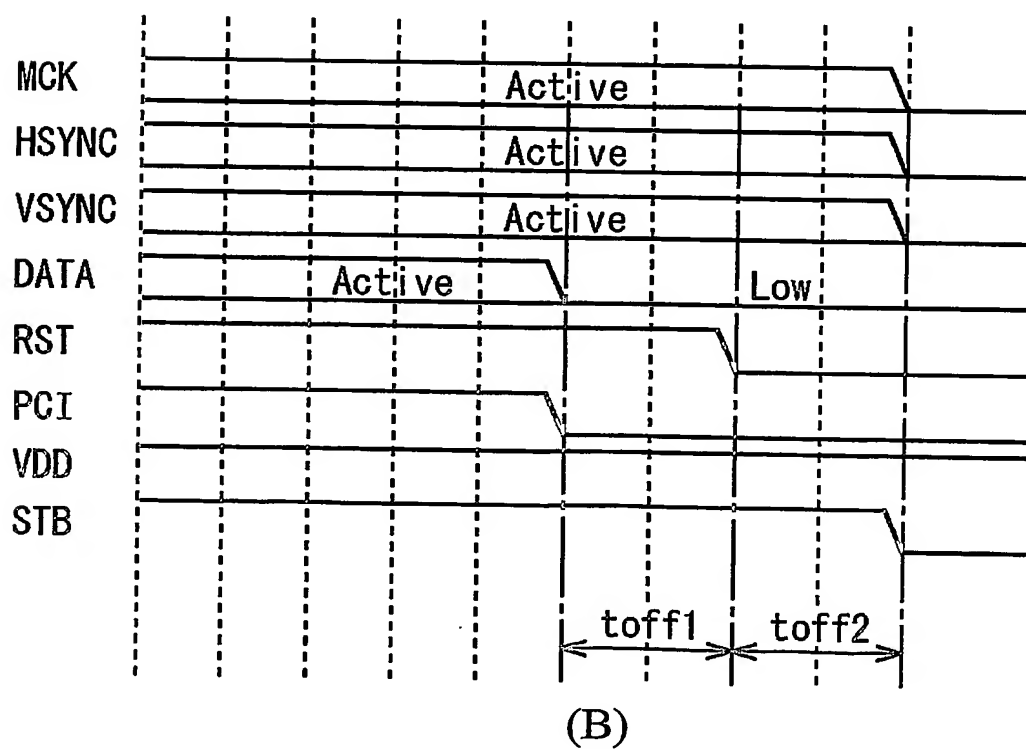
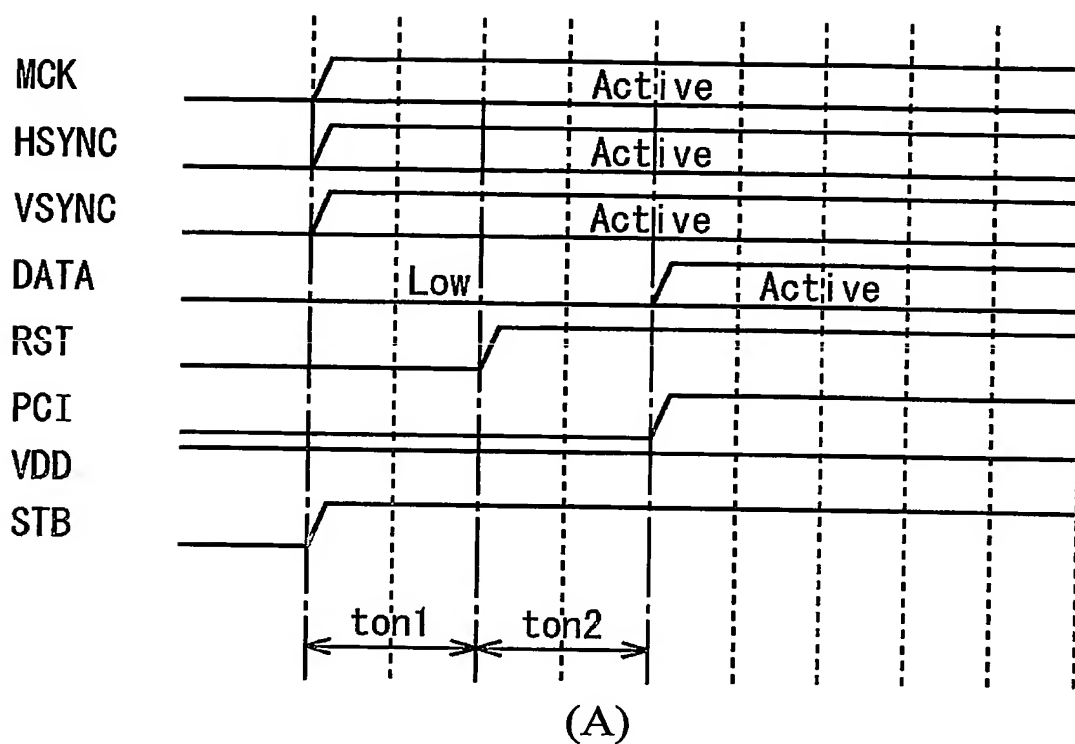


Fig.3

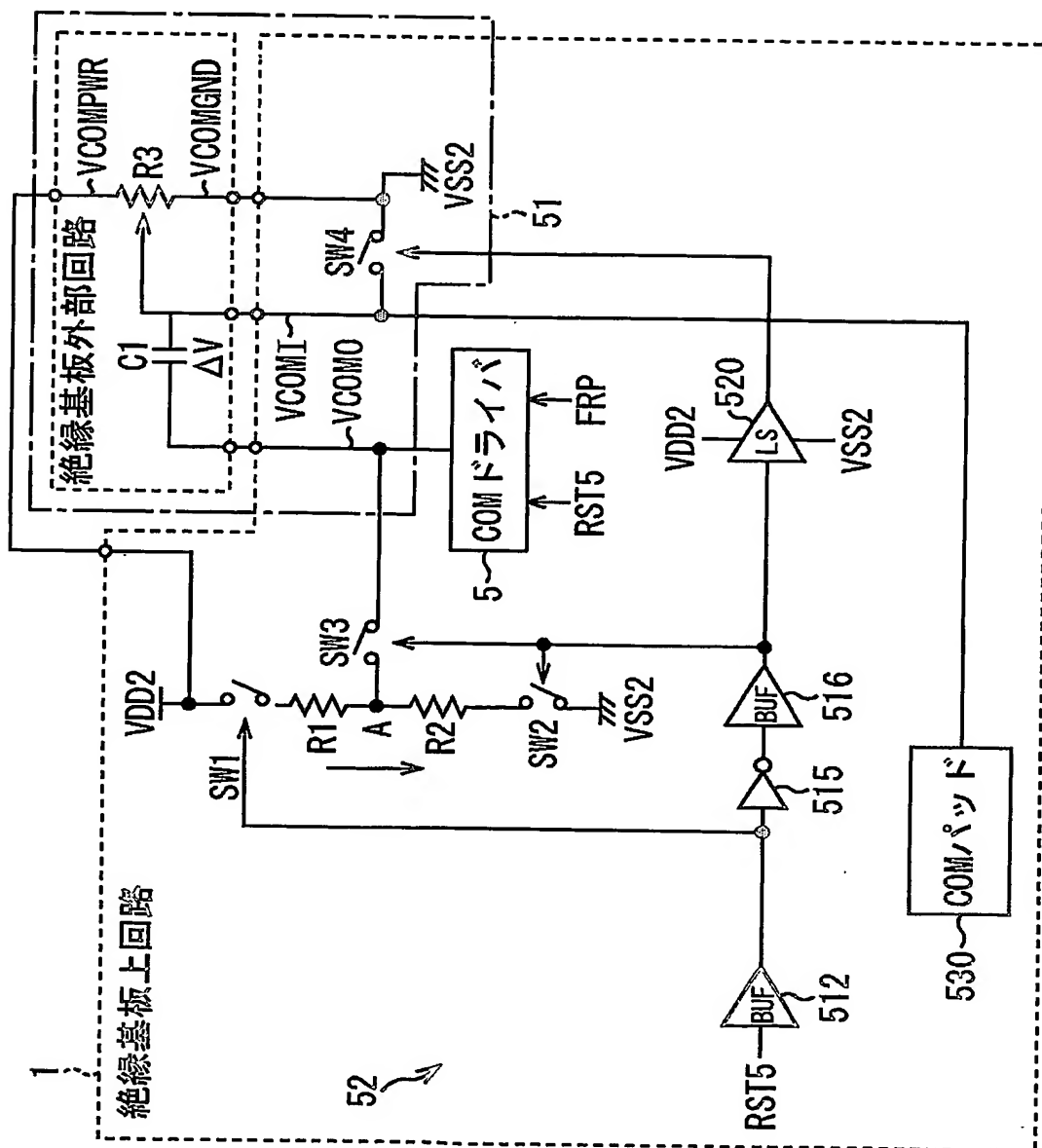


Fig.4

5/9

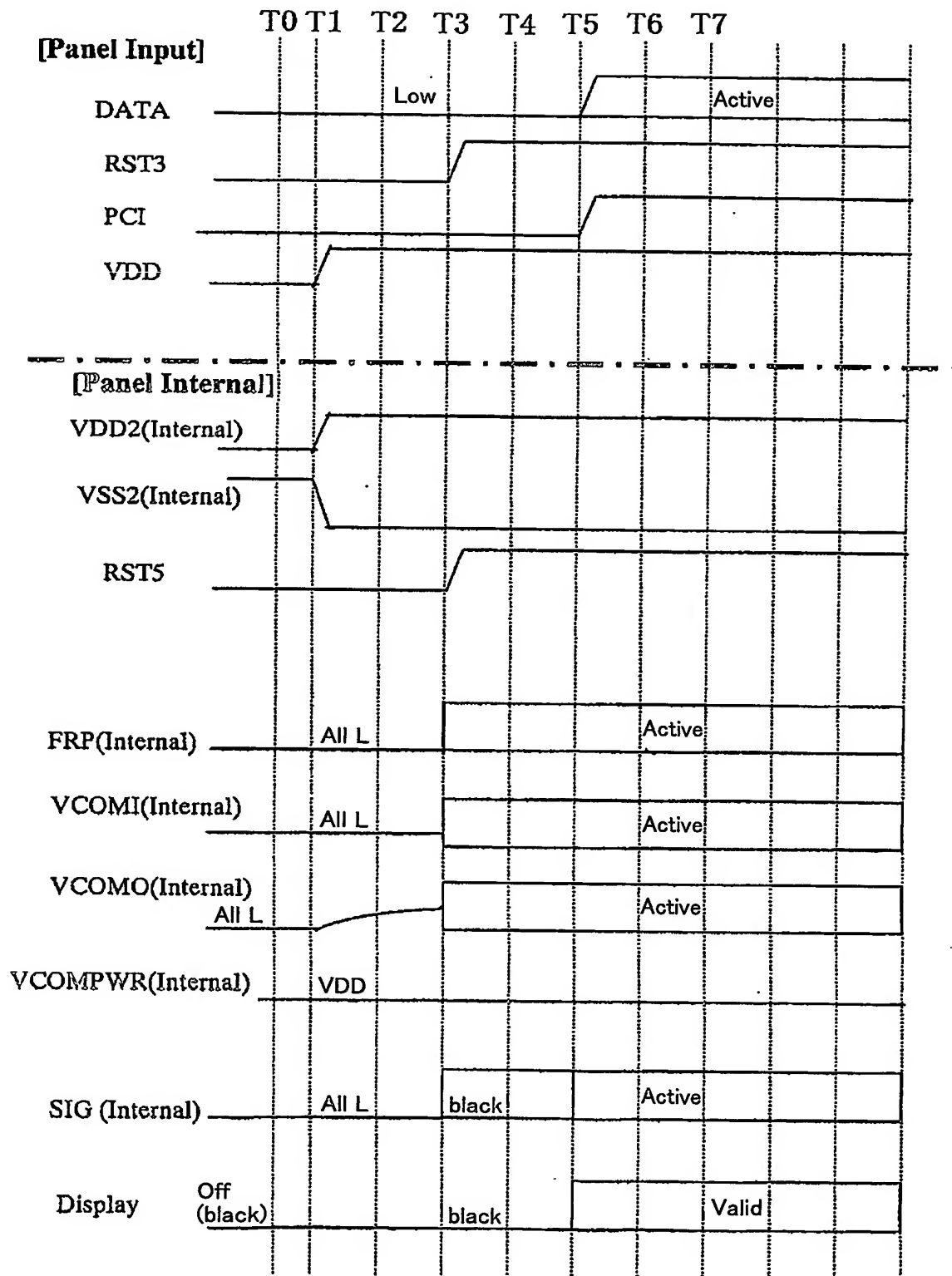


Fig.5

6/9

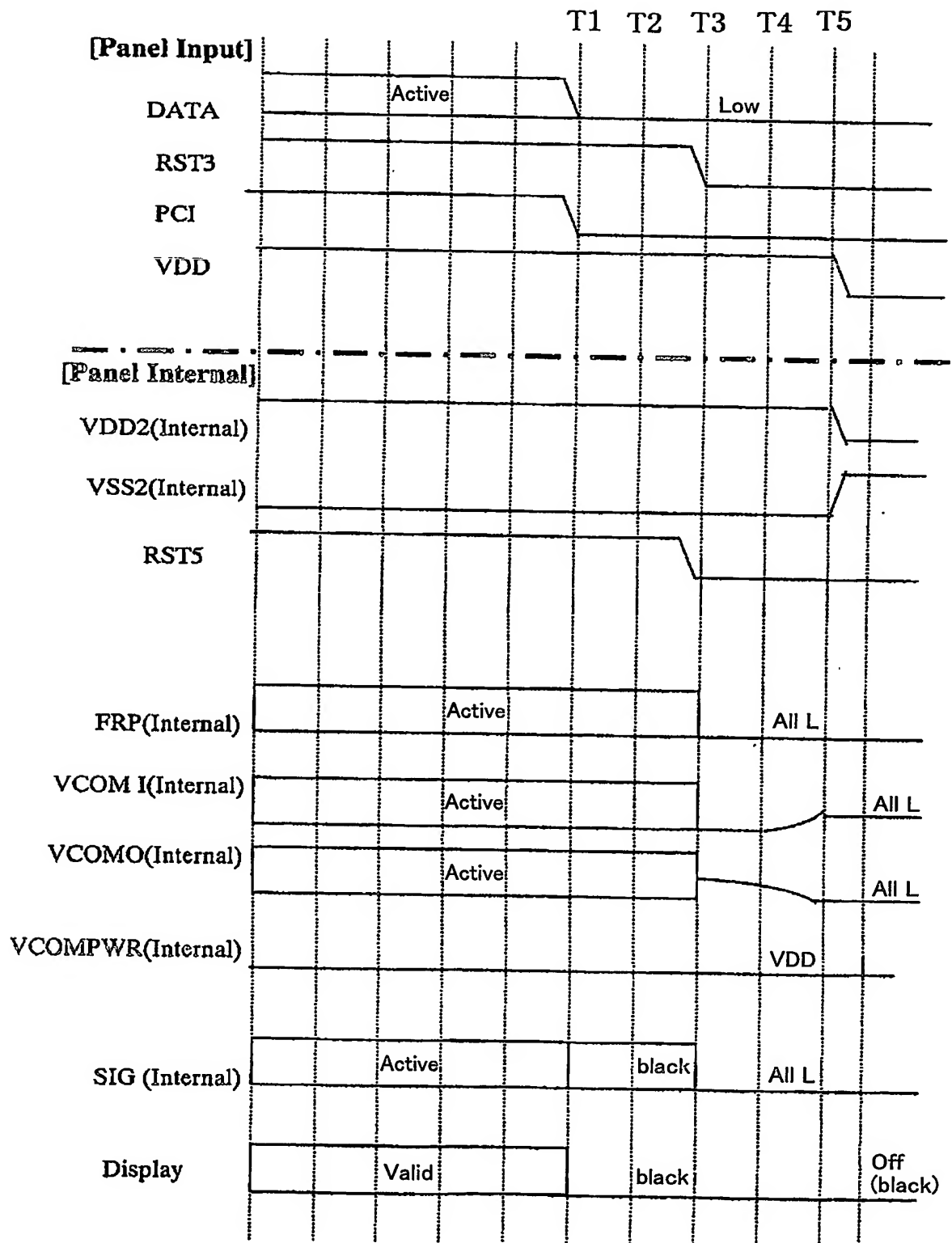


Fig.6

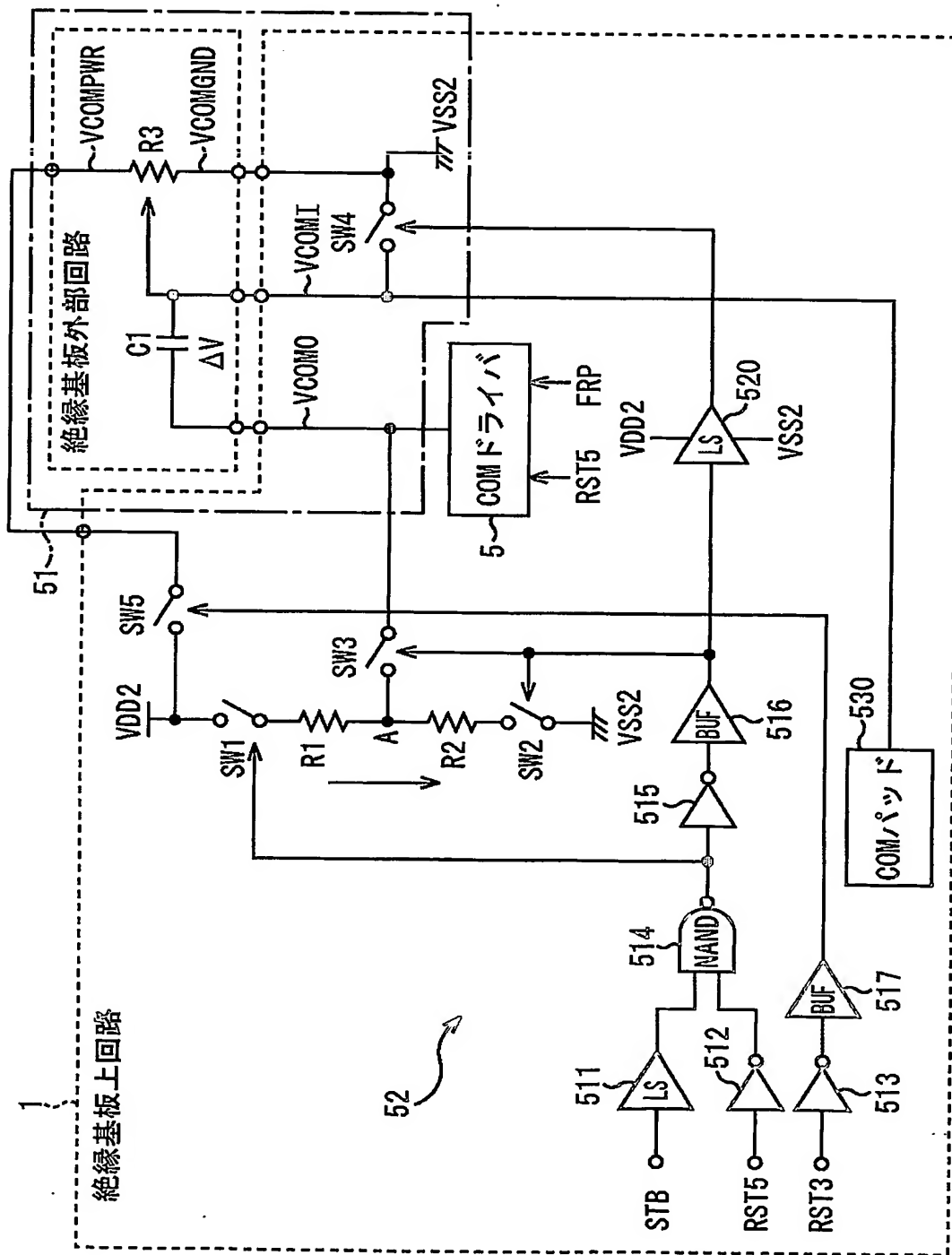


Fig.7

8/9

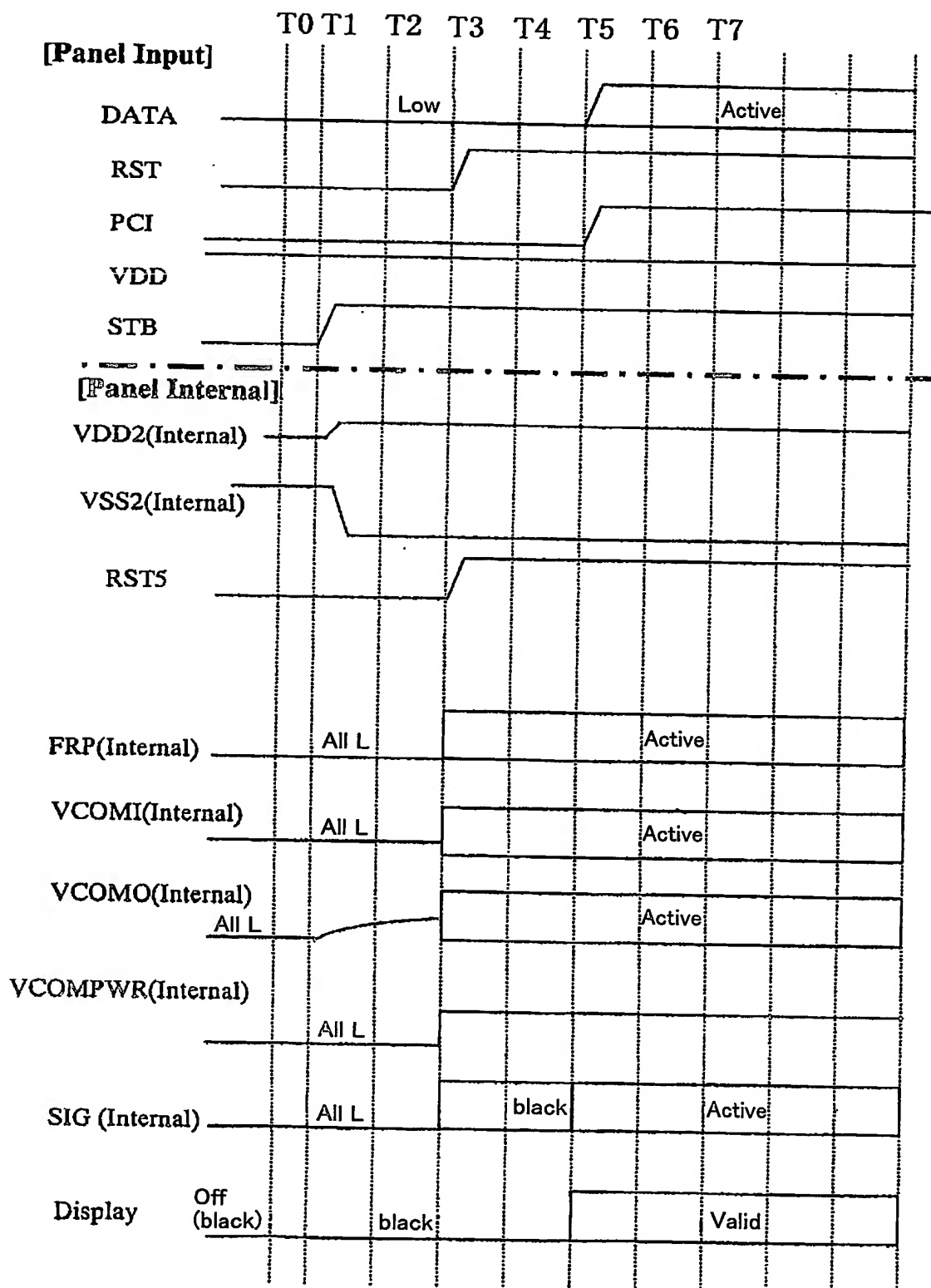


Fig.8

9/9

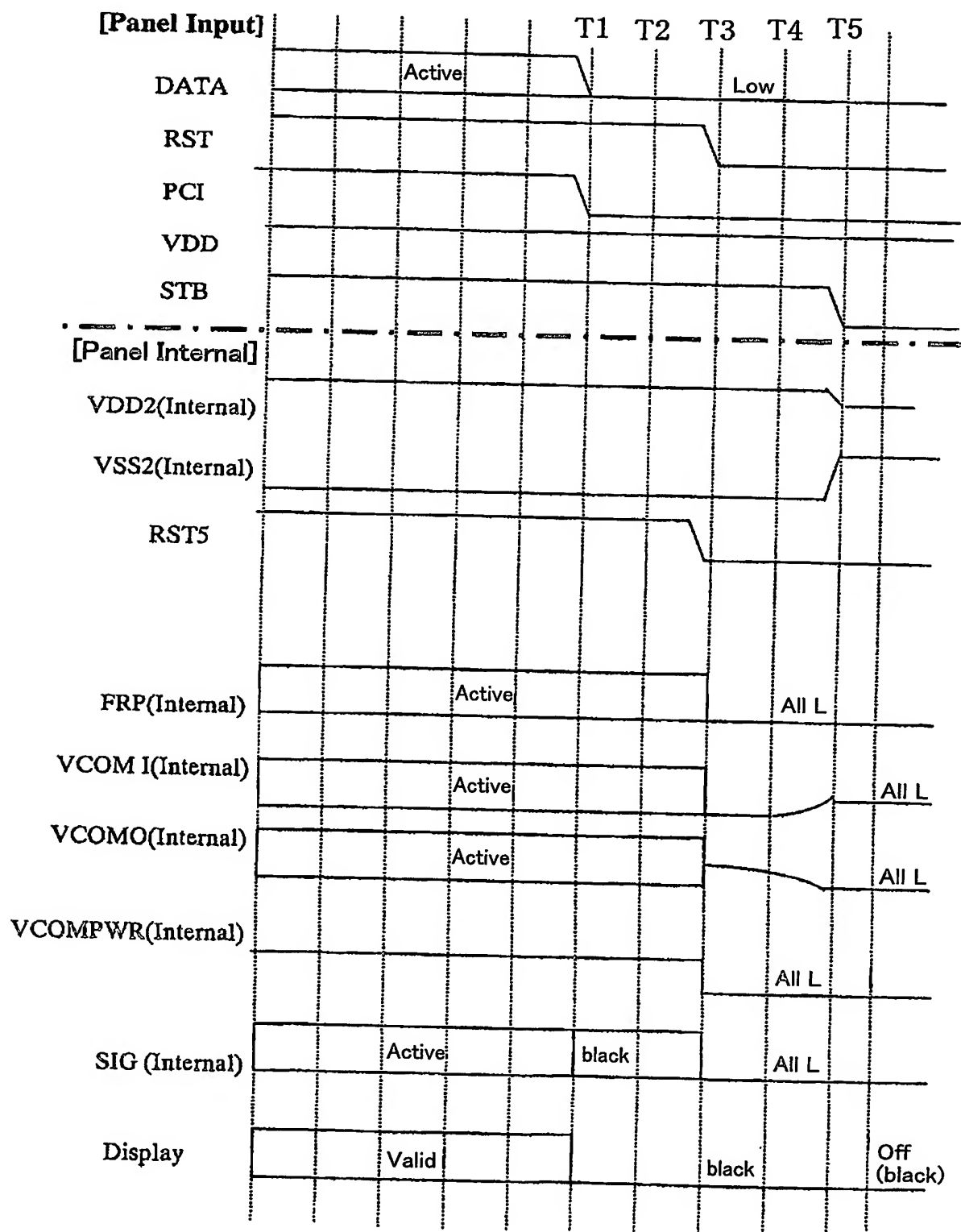


Fig.9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16604

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/36, 3/20, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/20-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1926-1996 | Jitsuyo Shinan Toroku Koho | 1996-2004 |
| Kokai Jitsuyo Shinan Koho | 1971-2004 | Toroku Jitsuyo Shinan Koho | 1994-2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 11-271707 A (Toshiba Corp.), 08 October, 1999 (08.10.99), Full text; all drawings (Family: none) | 1-6 |
| A | JP 2002-149120 A (Matsushita Electric Industrial Co., Ltd.), 24 May, 2002 (24.05.02), Full text; all drawings (Family: none) | 1-6 |
| P,A | JP 2003-195831 A (Matsushita Electric Industrial Co., Ltd.), 09 July, 2003 (09.07.03), Full text; all drawings (Family: none) | 1-6 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier document but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search
27 February, 2004 (27.02.04)

Date of mailing of the international search report
09 March, 2004 (09.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16604

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| E, A | JP 2004-4244 A (Sony Corp.), 08 January, 2004 (08.01.04), Full text; all drawings (Family: none) | 1-6 |
| E, A | JP 2004-4630 A (Sharp Corp.), 08 January, 2004 (08.01.04), Full text; all drawings (Family: none) | 1-6 |
| A | JP 2000-193941 A (Toshiba Corp.), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none) | 1-6 |
| A | JP 2002-189460 A (Sharp Corp.), 05 July, 2002 (05.07.02), Full text; all drawings & US 2002/0089477 A1 | 1-6 |
| A | JP 2002-116739 A (Sharp Corp.), 19 April, 2002 (19.04.02), Full text; all drawings & EP 1195741 A2 & US 2002/0041281 A1 | 1-6 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl⁷ G09G 3/36, 3/20
 G02F 1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl⁷ G09G 3/20-3/38
 G02F 1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| A | J P 11-271707 A (株式会社東芝) 1999. 10. 08, 全文, 全図 (ファミリーなし) | 1-6 |
| A | J P 2002-149120 A (松下電器産業株式会社) 2002. 05. 24, 全文, 全図 (ファミリーなし) | 1-6 |
| P, A | J P 2003-195831 A (松下電器産業株式会社) 2003. 07. 09, 全文, 全図 (ファミリーなし) | 1-6 |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

27. 02. 2004

国際調査報告の発送日

09. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| E, A | JP 2004-4244 A (ソニー株式会社) 2004. 01. 08, 全文, 全図 (ファミリーなし) | 1-6 |
| E, A | JP 2004-4630 A (シャープ株式会社) 2004. 01. 08, 全文, 全図 (ファミリーなし) | 1-6 |
| A | JP 2000-193941 A (株式会社東芝) 2000. 07. 14, 全文, 全図 (ファミリーなし) | 1-6 |
| A | JP 2002-189460 A (シャープ株式会社) 2002. 07. 05, 全文, 全図 & US 2002/0089477 A1 | 1-6 |
| A | JP 2002-116739 A (シャープ株式会社) 2002. 04. 19, 全文, 全図 & EP 1195741 A2 & US 2002/0041281 A1 | 1-6 |